

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-038043

(43)Date of publication of application : 19.02.1991

(51)Int.Cl.

H01L 21/321

H01L 21/3205

(21)Application number : 01-173727

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.07.1989

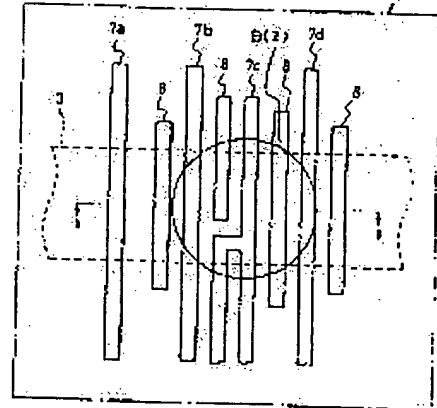
(72)Inventor : OWADA NOBUO
OOGAYA KAORU
KOBAYASHI TORU
KAWAJI MOTONORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the connection reliability of a solder bump, by arranging dummy patterns in the region positioned almost below the solder bump in the residual region of a wiring layer below the uppermost layer wiring.

CONSTITUTION: In the residual region of the same wiring layer as third layer Al wirings 7a-7d, dummy patterns 8 are arranged at specified intervals in the region below a solder bump 2. The patterns are constituted of the same material as, e.g. the third layer Al wirings 7a-7d, and have the same line width. As a result, the wiring density in the region where the dummy patterns 8 are formed becomes high, so that the surface of an interlayer insulating film formed on the patterns 8 is flattened. That is, step-difference is not generated in a substratum of the uppermost wiring layer of the region positioned nearly below the solder bump 2, so that a flat electrode pad can be formed. Thereby connection reliability of the solder bump 2 can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-38043

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月19日

H 01 L 21/321
21/3205

6940-5F H 01 L 21/92
6810-5F 21/88

B
Z

審査請求 未請求 請求項の数 10 (全12頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-173727

⑰ 出 願 平1(1989)7月5日

⑱ 発 明 者 大 和 田 伸 郎 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 発 明 者 大 鋸 谷 薫 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑳ 発 明 者 小 林 徹 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

㉑ 発 明 者 河 路 幹 規 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 筒井 大和

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 基板上によって互いに絶縁された複数の配線層を備え、その最上層配線の一部に設けた電極パッド上に半田パンプを接合した半導体集積回路装置であって、前記最上層配線の下層の配線層の全領域のうち、前記半田パンプのほぼ下方に位置する領域にゲートパターンを設けたことを特徴とする半導体集積回路装置。

2. 前記ゲートパターンは、同層の配線と同一の材料で構成されていることを特徴とする請求項1記載の半導体集積回路装置。

3. 前記ゲートパターンは、同層の配線と同一の導電性を有し、隣接する同層の配線または他のゲートパターンとの間隔が等しくなるような位置に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

4. 前記ゲートパターンは、フローティング状態

になっていることを特徴とする請求項1記載の半導体集積回路装置。

5. 前記ゲートパターンは、同層の配線の一部を構成していることを特徴とする請求項1記載の半導体集積回路装置。

6. 前記ゲートパターンは、最上層配線の下層の配線層に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

7. 前記ゲートパターンは、複数の配線層に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

8. 前記ゲートパターンは、同層の配線チャネルと、その直下の配線層の配線チャネルとが交差する領域上にブッシュ状に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

9. 前記半田パンプは、Cr、CuおよびAuを順次積層してなる半田下地層を介して電極パッド上に接合されていることを特徴とする請求項1記載の半導体集積回路装置。

(2)

特開平3-38043

特開平3-38043(2)

10. 最上層配線の間隔に50度〜70度の傾斜を設けたことを特徴とする請求項1記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置に関し、特に半田パンプを介して半導体チップを基板に実装するフリップチップ方式の半導体集積回路装置に適用して有効な技術に関するものである。

(従来の技術)

半導体集積回路装置の高密度化、高集積化に伴い、配線設計の自由度の向上や配線遅延の低減などを目的とする配線の多層化が必須の技術となっており、例えばバイポーラ・トランジスタで構成した論理LSIでは、Al(アルミニウム)4層配線構造が、またMOS・FETで構成したメカビット(Mbit)級のメモリLSIでは、Al2層配線構造が実現されている。

配線を多層化する際の課題となるのは、層間絶縁膜の平坦化および層間接続孔(スルーホール)

入出力ピン)の数が急速に増大し、半導体チップの周辺部に設けたボンディングパッドにワイヤを接続して外部回路との接続を行うワイヤボンディング方式が限界に達している。またワイヤボンディング方式は、内部領域の配線を周辺部のボンディングパッドまで引き出すので配線長が長くなり、信号伝達速度が遅延する欠点があるため、高速動作が要求される論理LSIの実装方式としては不向きである。

このような理由から、集積回路の最上層配線に半田などで構成されたパンプ(Bump, 突起電極)を接合し、このパンプを介してチップを基板に実装する、いわゆるフリップチップ方式が注目されている。フリップチップ方式は、チップの周辺部のみならず、内部領域にも端子を設けることができるので、チップの多ピン化を促進することができる利点がある。またフリップチップ方式は、ワイヤボンディング方式に比べてチップ上の配線長を短くすることができるので、高速動作が要求される論理LSIに好適な実装方式である。

の高集積化であり、前者の対策としては、パイアスバック技術やSOG(Spin On Glass)技術などが用いられ、後者の対策としては、選択CVDによるW(タングステン)の埋込み技術などが用いられている。

また、多層配線構造を有する半導体集積回路においては、配線をパターニングする際のレジスト膜の剥離効果やAl膜をエッチングする際の速度差のため、同一配線層における配線密度の高い領域と低い領域とで、配線の仕上がり寸法、特に配線幅に差が生じてしまうという問題が指摘されている(特開昭60-119749号)。その対策として、上記特開昭60-119749号では、配線密度の低い領域に配線としての機能を有しないダミーベアスタルを配置することによって、同一配線層の配線密度を均一化する技術が開示されている。

一方、ゲートアレイやマイクロコンピュータなどの論理LSIにおいては、集積回路の多層化、高密度化に伴い、外部回路との接続を行う端子(

上記フリップチップ方式については、例えばIBM社発行、「IBMジャーナル・オブ・リサーチ・アンド・ディベロップメント、13巻、No.3 (IBM Journal of Research and Development, Vol. 13, No. 3)」P239〜P250に詳細な記載がある。この文献によれば、最上層配線への半田パンプの接続は、次のようにして行われる。

まず、チップの表面を保護するパッシベーション膜をエッチングで開孔し、最上層のAl配線に達するコンタクトホールを設けて電極パッドを形成する。次に、蒸着法を用いて電極パッド上に、例えばCr(クロム)、Cu(銅)およびAu(金)の薄膜を順次積層して半田下地層(BLM; Bump Limiting Metallurgy)を形成する。半田下地層は、コンタクトホールの底部、側壁および上縁部を覆うように形成する。半田下地層の最下層を構成するCrは、半田パンプとAl電極パッドとの合金化反応を防止するとともに、半田パンプの外径を決める膜として設けられる。半田下地層の中間層を構成するCuは、半田パンプのめくれ

(3)

特開平3-38043

特開平3-38043(3)

を向せさせて下地層との接合強度を大きくするために設けられる。半田下地層の最上層を露出するAuは、B L M層の加工プロセスにおいて下層のCuの腐食を防止するために設けられる。

次に、上記半田下地層の上にSn (Sn) / P b (鉛) 合金からなる半田層を選択的に被着し、リフロー炉内でこの半田層をウェットバックして半球状の半田パンブを形成する。

(発明が解決しようとする課題)

本発明者は、A I 4層配線のような多層配線構造を備えた半導体集積回路装置の電極パッド上に半田パンブを形成する際、下記のような問題が生じることを見出した。

すなわち、配線を多層化すると、それにつれて上下方向の配線の重なりによる下地露出が機械的に増大し、最上層配線およびその上層のパッシベーション膜の平坦度が低下するようになる。特にバイポーラ・トランジスタで構成した論理LSIは、配線強度の低下やエレクトロマイグレーション特性向上の見地から、配線の膜厚を厚くしてい

るので、最上層配線やパッシベーション膜の平坦度の低下が著しい。

最上層配線やパッシベーション膜の平坦度が低下すると、下記のような問題が生じて半田パンブの接続信頼性が低下する。すなわち、最上層配線の平坦度が低下すると、電極パッドの平坦度も低下するため、電極パッド上に形成される半田下地層のカバレッジ (被着率) が低下する。半田下地層の最下層を構成するCrのカバレッジが低下すると、半田パンブとA I 4電極パッドとの間に合金化反応が生じ、接続抵抗が増大する。半田下地層の中層を構成するCuのカバレッジが低下すると、半田パンブのぬれ性が低下し、下地層との接合強度が低下する。半田下地層の最上層を露出するAuのカバレッジが低下すると、下層のCuが腐食し易くなるので、接続抵抗の増大や接合強度の低下を引き起こす。またパッシベーション膜の平坦度が低下すると、例えば第10図に示すように、隣り合った二本の最上層配線50、50を跨ぐような位置に半田パンブ51を形成する際

に、パッシベーション膜52の設置部Aにおいて半田下地層53のカバレッジが低下し、設置部Aの上方の半田パンブ51内にボイドやクラックなどの欠陥54が発生するので、半田パンブ51の熱抵抗が増大したり、接合強度が低下したりする。

本発明の目的は、半田パンブの接続信頼性を向上させることのできる技術を提供することにある。

本発明の他の目的は、上記目的を達成するとともに、半導体集積回路の多層化を促進することのできる技術を提供することにある。

本発明のさらに他の目的は、上記目的を達成するとともに、半導体チップの多ピン化を促進することのできる技術を提供することにある。

本発明の明記並びにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかなるであろう。

(課題を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本願の一発明は、絶縁膜によって互いに絶縁された複数の配線層を備え、かつ、その最上層配線に半田パンブを接合した半導体集積回路装置において、最上層配線の下層の配線層の領域のうち、半田パンブのほぼ下方に位置する領域にダミーパターンを設けるものである。

(作用)

上記した手段によれば、ダミーパターンを設けた領域の配線 (ダミーパターンを含む) 密度が高くなるので、その上層に形成される層間絶縁膜の表面が平坦化される。すなわち、半田パンブのほぼ下方に位置する領域の最上層配線の下地に露出が生じないので、平坦な電極パッドを形成することができる。その結果、電極パッド上に形成される半田下地層のカバレッジが良好になるので、半田パンブの接続信頼性が向上する。

以下、実施例を用いて本発明を詳述する。

(実施例1)

本実施例1の半導体集積回路装置は、例えばA I 4層配線構造を有するE C L (Emitter Coupled

(4)

特開平3-38043

特開平3-38043(4)

Logic) ゲートアレイである。

第3図は、このECLゲートアレイを形成した半導体チップ1を示している。チップ1は、例えばp⁺形シリコン単結晶により形成されている。チップ1の表面のほぼ全域には、外部回路との接続を行う端子を構成する多数の半田パンプ2が形成されている。半田パンプ2は、ECLゲートアレイの内部回路に電源(V_{DD}、V_{EE}、V_{CC}など)を供給するための電源供給用半田パンプ2と、信号を入出力するための信号用半田パンプ2とで構成されている。

第4図は、一つの電源供給用半田パンプ2とその下方の第4層Aと配線3とを拡大して示している。最上層配線である第4層Aと配線3は、ECLゲートアレイの内部回路に電源を供給する電源用配線を構成しており、その幅は、例えば数十〜数百μmである。半田パンプ2と第4層Aと配線3とは、コンタクトホール4を通じて電気的に接続されている。コンタクトホール4は、チップ1の表面を保護するパッシベーション膜5をエ

ッチングで開孔して形成したものである。半田パンプ2は、コンタクトホール4の底部に露出した第4層Aと配線3、すなわち電極パッド6上に形成されている。一方、信号用半田パンプ2は、第4層Aと配線3のうち、ECLゲートアレイの信号用配線を構成する配線(図示せず)の電極パッド上に形成されている。

第1図は、上記電源供給用半田パンプ2の下方の領域における配線のレイアウトを示している。半田パンプ2は、図の実線で囲まれた領域8に配置されており、その下方には、図記第4層Aと配線3が図の左右方向に延在している。第4層Aと配線3のさらに下方には、第3層Aと配線7a〜7dが所定の間隔を置いて図の上下方向に延在している。第3層Aと配線7a〜7dは、ECLゲートアレイの信号用配線を構成しており、その幅は、例えば数μmである。第4層Aと配線3と第3層Aと配線7a〜7dとの間には、図1図では図示しない図記第2層9が設けられている。

第3層Aと配線7a〜7dと同一の配線層の余

領域のうち、半田パンプ2の下方領域には、例えば第3層Aと配線7a〜7dと同一の材料で構成され、かつ同一の幅を有するグミーパーターン8が所定の間隔を置いて設けられている。グミーパーターン8は、第3層Aと配線の配線チャネルのうち、配線が形成されていない配線チャネル上に形成されている。グミーパーターン8は、例えば第3層Aと配線7a〜7dと同一のマスクを用いて同一の工程で作成される。

上記グミーパーターン8は、第3層Aと配線7a〜7dと同一の材料で構成されているが、フローティング状態となっているので、配線としての機能は有していない。また、半田パンプ2の下方領域とその近傍にのみ設けられ、他の領域には設けられていないので、グミーパーターン8を設けたことによる第3層Aと配線7a〜7dの寄生容量の増加は、最小限に抑えられている。

第2図は、上記電源供給用半田パンプ2の下方領域におけるチップ1の断面を示している。チップ1の表面には、例えばn⁺形のコレクタ埋込み

層9が形成され、その上層には、例えばn形シリコンからなるエピタキシャル層10が形成されている。エピタキシャル層10の所定領域には、例えばSiO₂からなるフィールド絶縁膜11が形成され、これにより、素子間および素子内が分離されている。素子分離用のフィールド絶縁膜11の下方には、例えばp⁺形のチャネルストップ層12が形成されている。

フィールド絶縁膜11で囲まれた領域のエピタキシャル層10内には、例えばp⁺形の真性ベース領域13と、例えばp⁺形のグラフトベース領域14とが形成されており、真性ベース領域13内には、例えばn⁺形のエミッタ領域15が形成されている。また、コレクタ埋込み層9の一部には、例えばn⁺形のコレクタ埋込み領域16が形成されている。そして、上記エミッタ領域15と、真性ベース領域13と、真性ベース領域13の下方におけるエピタキシャル層10およびコレクタ埋込み層9からなるコレクタ領域とで一つのnpn形バイポーラ・トランジスタが構成されている。

(5)

特開平3-38043

特開平3-38043(5)

そして、上記npn形バイポーラ・トランジスタと図示しない抵抗とをそれぞれ複数個用いて、例えば第5図に示すようなECL3入力ORゲートなどの基本ゲートが構成され、さらにこの基本ゲートを多数重複してECLゲートアレイが構成されている。

前記グラフトベース領域14、エミッタ領域15およびコレクタ取出し領域16の各領域上には、コンタクトホール17a、17b、17cが設けられている。グラフトベース領域14には、コンタクトホール17aを通じて、例えばポリシリコンからなるベース引出し電極18が接続されている。また、エミッタ領域15には、コンタクトホール17bを通じて、例えばポリシリコンからなるエミッタ引出し電極19が接続されている。

20、21は、例えばSiO₂からなる絶縁膜である。絶縁膜21の上層には、第1層A1配線22a、22b、22c、22dが形成されている。A1配線22a～22dは、例えばA1-Si-Cu合金の下層にTiN（チタンナイトライ

ド）などのバリアメタルを敷いた後層構造を有しており、その膜厚は、例えば数μmである。A1配線22aは、絶縁膜21に開孔されたスルーホール23aを通じてベース引出し電極18に接続されている。A1配線22bは、スルーホール23bを通じてエミッタ引出し電極19に接続されている。A1配線22cは、スルーホール23cおよび前記コンタクトホール17cを通じてコレクタ取出し領域16に接続されている。すなわち、A1配線22a、22b、22cは、それぞれ前記npn形バイポーラ・トランジスタのベース電極、エミッタ電極、コレクタ電極を構成している。

第1層A1配線22a～22dの上層には、例えばプラズマCVD法で形成されたSi₃N₄膜と、SOG(Spin On Glass)と、プラズマCVD法で形成されたSiO₂とを積層してなる第1の層間絶縁膜24が形成されている。層間絶縁膜24の上層には、例えばA1-Si-Cu合金からなる第2層A1配線25a、25bが設けられている。A1配線25a、25bは、例えば数μmの幅幅

を有している。例えばA1配線25aは、層間絶縁膜24に形成されたスルーホール25を通じて第1層A1配線20aに接続されている。

第2層A1配線25a～25bの上層には、例えば前記第1の層間絶縁膜24と同様の構成からなる第2の層間絶縁膜27が形成されている。層間絶縁膜27の上層には、例えばA1-Si-Cu合金からなる第3層A1配線7a～7eが設けられている。例えばA1配線7aは、層間絶縁膜27に開孔されたスルーホール28を通じて第2層A1配線25aに接続されている。

第3層A1配線7a～7eと同一の配線層の余領域のうち、半田パンプ2の下方領域とその近傍には、前記した複数本のグミーマターンの8が設けられている。グミーマターンの8は、例えば半田パンプ2の下方領域とその近傍に位置する第3層A1配線7b、7c、7dの各々と交互に、かつ等しい間隔を置いて配線されている。その結果、パンプ2の下方領域とその近傍とは、同一配線層の他の領域に比べて配線（グミーマターンの含む）

が高密度、かつ、均一になっている。

第3層A1配線7a～7eおよびグミーマターンの8の上層には、前記第1の層間絶縁膜24や第2の層間絶縁膜27と同様の構成からなる第3の層間絶縁膜29が形成されている。そして、半田パンプ2の下方領域とその近傍の層間絶縁膜29は、その下層にグミーマターンの8を含む配線が高密度、かつ、均一に設けられているため、その表面がほぼ完全に平坦化されている。

層間絶縁膜29の上層には、例えばA1-Si-Cu合金からなる電源供給用の第4層A1配線3が設けられている。第4層A1配線3は、大電流を流すことができるよう、その幅幅および厚さが下層（第1層～第3層）のA1配線よりも大きく形成されている。そして、半田パンプ2の下方領域およびその近傍では、第4層A1配線3の下地となる層間絶縁膜29の表面がほぼ完全に平坦化されているので、第4層A1配線3もその表面がほぼ完全に平坦化されている。

第4層A1配線3の上層には、例えばバイアス

(6)

特開平3-38043

特開平3-38043(6)

スパッタ法で形成したSiO₂からなるパッシベーション膜5が設けられており、このパッシベーション膜5でチップ1の表面が保護されている。パッシベーション膜5の一部には、コンタクトホール4が形成されており、その底部には、電極パッド8を形成する第4層A1配線3の一部が露出している。電極パッド8は、前述した理由から、その表面がほぼ完全に平坦化されている。

電極パッド8上には、例えば下層から順次Cr、CrおよびAuの薄膜を蒸着法で積層してなる薄い半田下地層30が形成されている。半田下地層30は、段差のない平坦な電極パッド8上に形成されているので、そのカバレッジが極めて良好となっており、コンタクトホール4の底部、側壁および上縁部をほぼ均一な膜厚で覆っている。

半田下地層30の上には、例えばSn/Pb合金からなる半球状の半田パンパ2が接合されている。半田パンパ2は、例えばチップ1の表面の全縁にホトレジスト（図示せず）を被着した後、コンタクトホール4の上方のホトレジストをエッチ

ングで除去し、次いでチップ1の表面の全縁に半田を塗着した後、銅配ネトレジストおよびその表面の半田をエッチバック法により同時に除去し、その後、コンタクトホール4の内部に残った半田をリフロー炉内でウェットバックして形成したものである。半田パンパ2は、カバレッジが極めて良好な半田下地層30の上に形成されているので、その接合信頼性が極めて高い。

上記した構成からなるチップ1は、半田パンパ2を介して基板に実装される。例えば第8図は、上記チップ1を実装したマイクロチップキャリア（Micro Chip Carrier: MCC）40を示している。半田パンパ2を介してムライト基板41の電極42上にフェイスダウンボンディングされたチップ1は、例えば酸化アルミニウム（AlN）からなるキャップ43で気密封止されている。キャップ43は、半田44を介してムライト基板41上に接合されている。キャップ43の下面とチップ1の上面とは、半田44を介して接合されており、チップ1から発生する熱をキャップ43を通じて

外部に放散する構造になっている。ムライト基板41の下面には、チップ1に形成された半田パンパ2よりも一回り大きい半田パンパ45が接合されている。半田パンパ45は、例えばW（タングステン）などからなる内蔵配線46を通じてチップ1と電気的に接続されている。

以上の構成からなる本実施例1によれば、下記のような効果を得ることができる。

(1) 第3層A1配線3a~3cと同一の配線層の余領域のうち、半田パンパ2の下方とその近傍にグリーパターン5を配設したことにより、この領域の配線（グリーパターンを含む）密度が高くなり、その上層に形成される層間絶縁膜29の表面が平坦化されるので、層間絶縁膜29の上に形成される第4層A1配線3（電極パッド8）が平坦化される。その結果、電極パッド8上に形成される半田下地層30のカバレッジが良好になり、半田パンパ2の接合信頼性が向上する。

(2) 上記(1)により、半田パンパ2を介してチップ1をマイクロチップキャリア40のムライト基板

41などにフェイスダウンボンディングする際の接合信頼性が向上する。

(3) 上記(1)により、ECLゲートアレイの多ピン化を促進することができる。

(4) 上記(1)により、ECLゲートアレイの多ピン化を促進することができる。

【実施例2】

本実施例2の半導体集積回路装置は、前記実施例1と同じくA14層配線構造を有するECLゲートアレイである。

第7図は、1つの電源供給用半田パンパ2とその下方領域における配線のレイアウトを示している。半田パンパ2は、図の実線で囲まれた領域Bに配設されており、その下方には、最上層配線である電源供給用の第4層A1配線3が図の左右方向に延在している。第4層A1配線3のさらに下方には、信号入出力用の第3層A1配線7a~7dが所定の間隔を置いて図の上下方向に延在している。前記実施例1と同じく、第4層A1配線3の幅は、例えば数十〜百数十μmであり、第3

(7)

特開平3-38043

特開平3-38043(7)

第1層A1配線7a~7dの幅は、例えば数 μ mである。

第3層A1配線7a~7dのさらに下方には、信号入出力用の第2層A1配線25a~25fが所定の間隔を置いて図の左右方向に延在している。第2層A1配線25a~25fの幅は、第3層A1配線7a~7dのそれと同じく、例えば数 μ mである。

第3層A1配線7a~7dと同一の配線層の領域のうち、半田パンプ2の下方領域とその近傍には、例えば第3層A1配線7a~7dと同一の材料で構成された形状のダミーパターン8が所定の間隔を置いて設けられている。ダミーパターン8は、第3層A1配線7a~7dと同一の領域と、第2層A1配線25a~25fと同一の領域とが重なる領域にメッシュ状に配線されている。すなわち、ダミーパターン8は、両層（第3層）の配線チャネルとその直下の配線層（第2層）の配線チャネルとが交差する領域上に配置されている。ダミーパターン8は、例えば第3層A1

配線7a~7dと同一のマスクを用いて同一の工程で作成される。

なお、本実施例2のECLゲートアレイは、上記した点を除いては、前記実施例1のECLゲートアレイと同一の構成となっているので、同一構成部分の説明は省略する。

このように、本実施例2のダミーパターン8は、半田パンプ2の下方領域とその近傍にのみ設けられ、しかもその直下に配線が存在しない領域にのみ設けられているので、その占有面積は前記実施例1のダミーパターン8のそれよりも小さい。そのため、ダミーパターン8を配線したことにより増加する第3層A1配線3a~3dの寄生容量を前記実施例1の場合よりもさらに小さくすることができる。

ところでゲートアレイは、あらかじめトランジスタや抵抗などの素子を作成したマスキングスライス上に、品種毎に配線をレイアウトする方式のLSIである。従って、前記実施例1の場合のように、第3層A1配線の配線チャネルのうち、配線

が存在しない配線チャネル上にダミーパターン8をレイアウトしようとする、配線のレイアウトが異なる品種毎にダミーパターン8をレイアウトしなければならないので、ゲートアレイの開発期間が長期化するという問題が生じる。ところが、本実施例2では、第3層A1配線の配線チャネルと第2層A1配線の配線チャネルとが交差する領域上にダミーパターン8を固定パターンとしてレイアウトしておくことにより、配線のレイアウト設計を行う際に、ダミーパターン8を発生させるための特別な処理が不要となるので、ゲートアレイの開発期間が長期化することはない。

〔実施例3〕

本実施例3の半田パンプ2の位置は、前記実施例1または実施例2のECLゲートアレイにおける第4層A1配線3の側壁に傾斜を設けた構成になっている。

第8図に示すように、ゲートアレイはその品種により、半田パンプ2が第4層A1配線3の真上には配置されず、隣り合った二本のA1配線3、

3を時々ような位置に配置される場合がしばしばある。これは、チップ1上における半田パンプ2の位置が固定されていても、第4層A1配線3の幅や間隔は、品種によって異なるためである。そして、このような場合には、半田パンプ2の下方領域にダミーパターン8を設けるだけでは、半田下地層30のカバレッジが良好にならないこともある。すなわち、前記第10図を用いてすでに説明したように、隣り合った二本の最上層配線50、50の間に段差が生じているような場合には、パッシベーション層52の段差部Aで半田下地層53のカバレッジが低下するため、段差部Aの上方の半田パンプ51内にボイドやクラックなどの欠陥54が発生し易くなり、半田パンプ51の信頼性や信頼性が著しく低下してしまうからである。

そこで本実施例3では、第8図に示すように、最上層配線である第4層A1配線3の側壁に傾斜を設けるようにした。このようにすると、第4層A1配線3上に形成されるパッシベーション層5のカバレッジが向上するので、段差のない平坦な

(8)

特開平3-38043

特開平3-38043(8)

パッシベーション膜5が得られる。従って、釣り合った二本のA1配線3、3間に電圧が生じている場合においても、半田下地層30のカバレッジが良好になり、半田パンプ51内にボイドやクラックなどの欠陥54が発生するのを防止することができるので、半田パンプ2の信頼性が向上する。

第4層A1配線3の側壁に傾斜を設けるには、A1配線3をパターンニングする際、例えばクエットエッチングなどのような等方性のエッチングを行えばよい。その際、側壁の傾斜角θは、例えば50度〜70度がよい。なお、本実施例3のECシゲートアレイは、上記した点を除いては、前記実施例1または実施例2のECシゲートアレイと同一の構成となっているため、同一構成部分の説明は省略する。

第4層A1配線3の側壁に傾斜を設けることにより、さらに次のような効果を得られる。従来、電極パッド上に半田パンプを接合する場合には、バイアスバック法を用いてパッシベーション膜

を形成していた。これは、バイアスバック法で形成したパッシベーション膜は、CVD法で形成したパッシベーション膜よりもカバレッジが良いからである。しかしその反面、バイアスバック法は、薄膜の増成とエッチングとが同時に進行する成膜法であるため、CVD法に比べて成膜速度が小さいという欠点がある。

ところが、本実施例3では、第4層A1配線4の側壁に傾斜を設けたので、CVD法でパッシベーション膜5を形成する場合においても、良好なカバレッジが得られる。すなわち、第4層A1配線4の側壁に傾斜を設けることにより、成膜速度の大きいCVD法でカバレッジの良好なパッシベーション膜5を形成することができるので、半田パンプ2の信頼性向上と、パッシベーション膜5の成膜工程の短縮化とを併せて達成することができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例1〜3に限定されるものではなく、その要旨

を逸脱しない範囲で種々変更可能であることはいうまでもない。

実施例1〜3のグミーパーターンは、いずれもフコーティング状態になっているため、配線としての機能は有していないが、例えば第3図に示すように、半田パンプ2の下方に位置する領域の第3層A1配線3b〜3dの一部に分枝31を設け、この分枝31でグミーパーターン8を構成してもよい。

実施例1〜3のグミーパーターンは、いずれも第3層A1配線と同一層の余領域に設けられているが、第2層A1配線と同一層の余領域や第1層A1配線と同一層の余領域に設けてもよい。またグミーパーターンは、複数の配線層のそれぞれに設けてもよい。

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である4層A1配線構造を備えたECシゲートアレイに適用した場合について説明したが、本発明は、これに限定されるものではなく、多層配線構造を備えたフリップチップ方式の半導体装置回路装置に広

く適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1)、半田パンプが接合される最上層配線の下方の配線層の余領域のうち、半田パンプのはば下方に位置する領域にグミーパーターンを配設することにより、半田パンプの下方領域の最上層配線を平坦化することができるので、電極パッド上に形成される半田下地層のカバレッジが良好となり、半田パンプの信頼性が向上する。

(2)、前記グミーパーターンを、同一層の配線チャネルとその直下の配線層の配線チャネルとが交差する領域上にメッシュ状に設けることにより、グミーパーターンを設けたことによる配線寄生容量の増加を最小限にとどめることができる。また、配線のレイアウト設計を行う際に、グミーパーターンを発生させるための特別な処理が不要となるので、ゲートアレイの開発期間を短縮することができる。

(9)

特開平3-38043

特開平3-38043(9)

図、最上層配線の側壁に傾斜を設けることにより、パッシベーション膜のカバレッジが向上し、その表面の平滑度が向上するので、半田下地層のカバレッジが良好になり、半田パンプ内にボイドやクラックなどの欠陥が発生するのを防止することができるので、半田パンプの信頼性が向上する。

4. 図面の簡単な説明

第1図は、本発明の一実施例である半導体集積回路装置におけるグミーマターンの配置を示す半導体チップの要部平面図、

第2図は第1図のI-I線における半導体チップの断面図、

第3図は、半田パンプのレイアウトを示す半導体チップの平面図、

第4図は、半田パンプを拡大して示す半導体チップの要部平面図、

第5図は、ECL3入力ORゲートを示す回路図、

第6図は、半導体チップを封止したマイクロチップキャリアの断面図、

第7図は、本発明の他の実施例である半導体集積回路装置におけるグミーマターンの配置を示す半導体チップの要部平面図、

第8図は、パッシベーション膜の改良を拡大して示す半導体チップの部分断面図、

第9図は、本発明のさらに他の実施例である半導体集積回路装置におけるグミーマターンの配置を示す半導体チップの要部平面図、

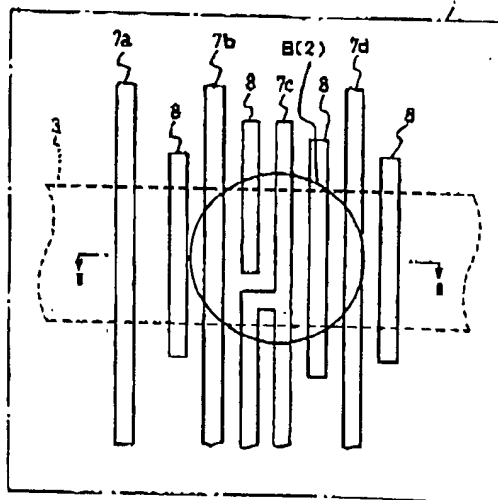
第10図は、従来の半導体集積回路装置におけるパッシベーション膜の改良を拡大して示す半導体チップの部分断面図である。

1・・・半導体チップ、2、45、51・・・半田パンプ、3・・・第4層A1配線、4、17a、17b、17c・・・コンタクトホール、5、52・・・パッシベーション膜、6・・・電極パッド、7a～7c・・・第3層A1配線、8・・・グミーマターンの、9・・・コレクタ埋込み層、10・・・エピタキシャル層、11・・・フィールド絶縁膜、12・・・チャネルストップ層、13・・・真性ベース領域、14・・・グラフトベ

ース領域、15・・・エミッタ領域、16・・・コレクタ取出し領域、18・・・ベース引出し電極、19・・・エミッタ引出し電極、20、21・・・絶縁膜、22a～22d・・・第1層A1配線、23a～23c、26、28・・・スルーホール、24・・・第1層間絶縁膜、25a～25f・・・第2層A1配線、27・・・第2層間絶縁膜、29・・・第3層間絶縁膜、30、53・・・半田下地層、31・・・分岐、40・・・マイクロチップキャリア、41・・・ムライト基板、42・・・電極、43・・・キャップ、44・・・半田、46・・・内部配線、50・・・最上層配線、54・・・欠陥。

代理人 弁理士 岡 井 大 和

第1図



1:半導体チップ 7a-7d:第3層A1配線
2:半田パンプ 8:グミーマターンの
3:第4層A1配線

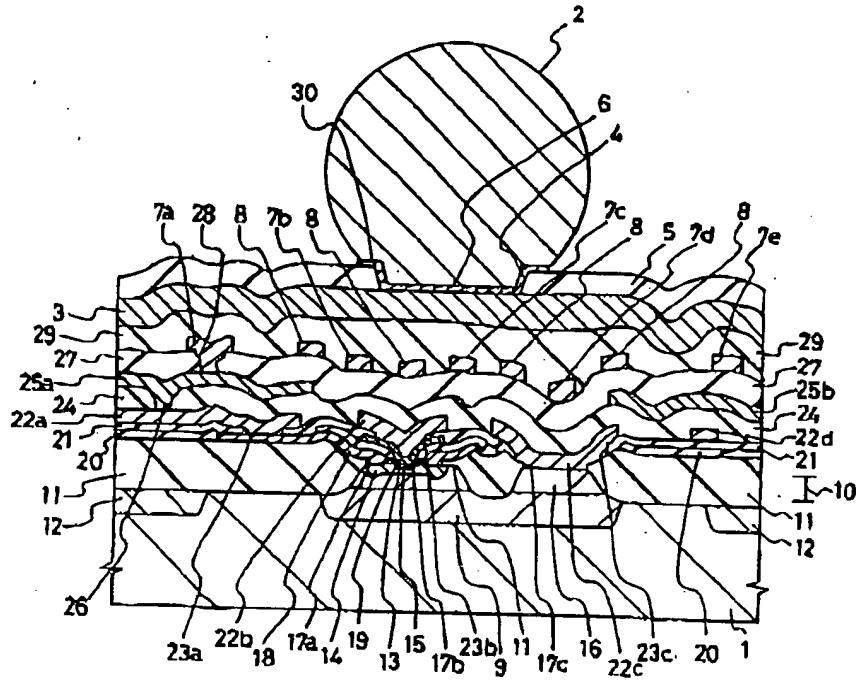
BEST AVAILABLE COPY

(10)

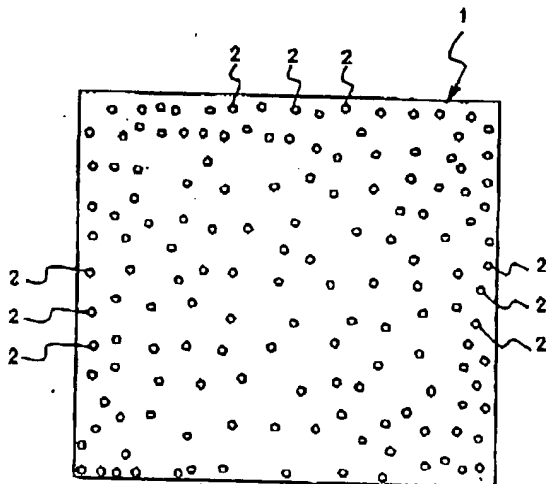
特開平3-38043

特開平3-38043 (10)

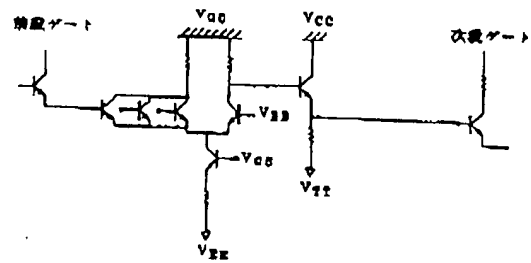
第 2 図



第 3 図



第 5 図

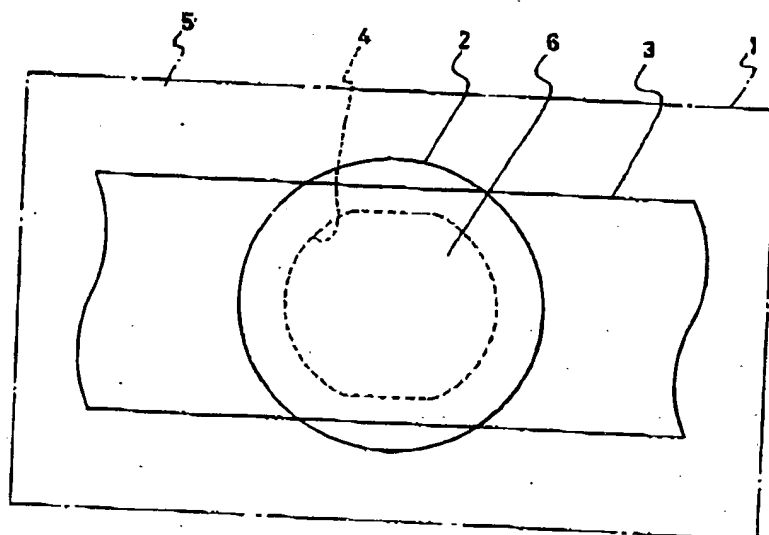


(11)

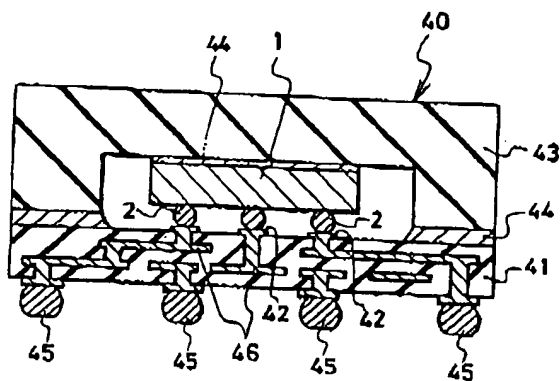
特開平3-38043

特開平3-38043 (11)

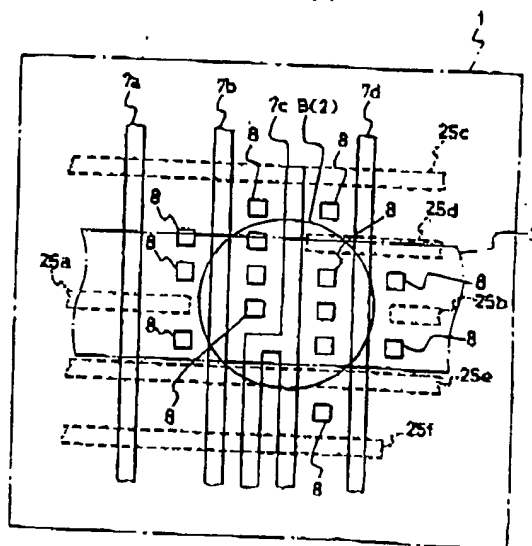
第 4 図



第 6 図



第 7 図

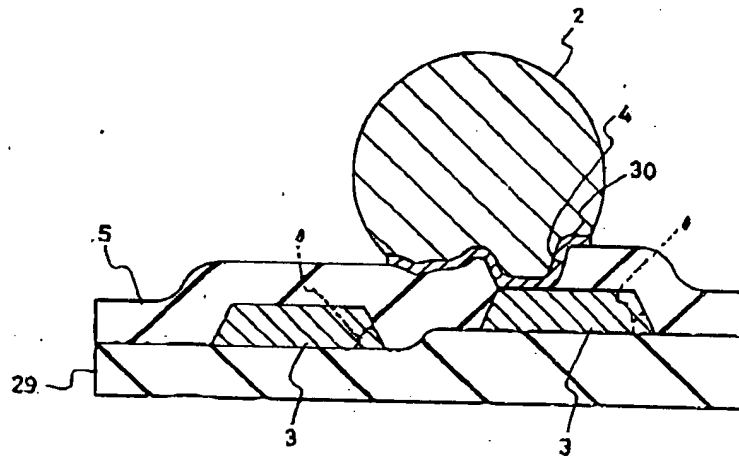


(12)

特開平3-38043

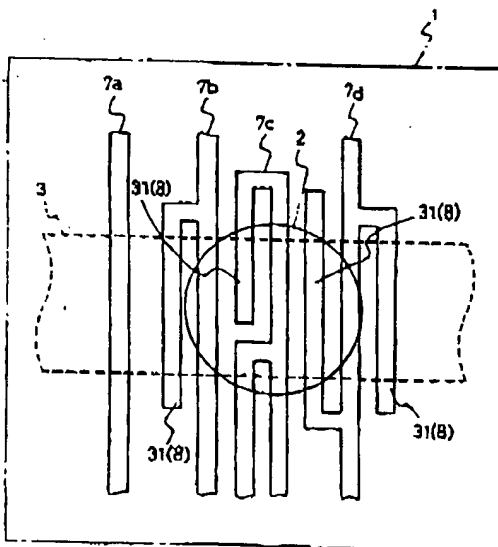
特開平3-38043 (12)

第 8 図

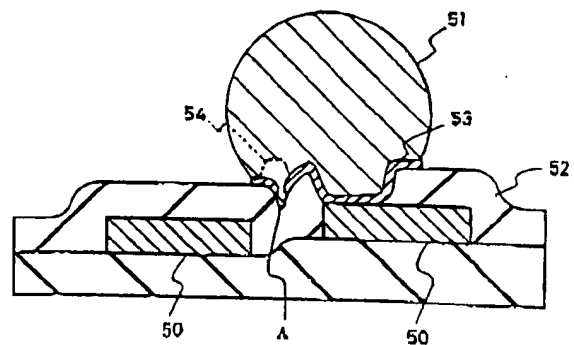


30: 半田下地層

第 9 図



第 10 図



BEST AVAILABLE COPY